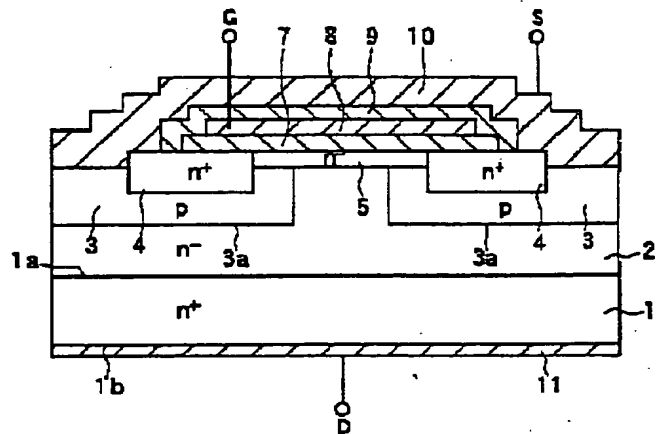


Patent Abstracts of Japan

TITLE : SILICON CARBIDE SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49167

(P2000-49167A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
H 0 1 L 21/336		H 0 1 L 29/78	6 5 8 E
29/16		29/16	
29/78		29/78	6 5 2 E
			6 5 2 T

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平10-217726

(22) 出願日 平成10年7月31日 (1998.7.31)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番地
の1

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外1名)

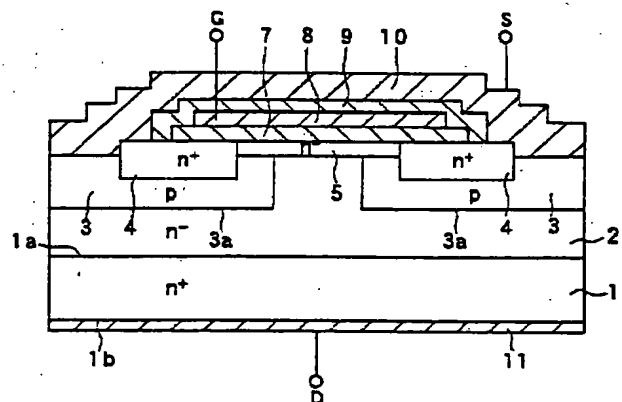
最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 B (ボロン) の拡散によって n 型のチャネル形成領域の導電型が反転してしまうことを防止する。

【解決手段】 n⁻ 型エピ層 2 に B のイオン注入を行ったのち、B を活性化させるアニール処理を行って p 型ベース領域 3 を形成する。そして、B の濃度が高濃度となる部分まで n⁻ 型エピ層 2 の表層部を R I E して、p 型ベース領域 3 を露出させる。その後、n⁻ 型エピ層 2 を犠牲酸化したのち、この犠牲酸化によってできた酸化膜を除去し、R I E によるダメージを除去する。この犠牲酸化工程によって、p 型ベース領域 3 及び n⁻ 型エピ層 2 の表面の結晶性が良好になる。このため、この後に p 型ベース領域 3 の上部に表面チャネル層 5 を形成しても、B が表面チャネル層 5 に拡散しないようにできる。



【特許請求の範囲】

【請求項1】 単結晶炭化珪素よりなるn型の半導体基板(1)の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなるn型の半導体層(2)を形成する工程と、
前記半導体層の表層部の所定領域にBをイオン注入して、p型のベース領域(3)を形成する工程と、
前記ベース領域を含む前記半導体層を犠牲酸化したのち、この犠牲酸化によってできた酸化膜を除去する工程と、
前記ベース領域の上部にn型の表面チャネル層(5)を形成する工程と、
前記ベース領域の表層部の所定領域に前記表面チャネル層に接すると共に、前記ベース領域の深さよりも浅い第1導電型のソース領域(4)を形成する工程と、
前記表面チャネル層上にゲート絶縁膜(7)を介してゲート電極(8)を形成する工程と、
前記ベース領域及び前記ソース領域に接触するソース電極(10)を形成する工程と、
前記半導体基板の裏面側にドレイン電極(11)を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記ベース領域を形成する工程は、前記イオン注入によって注入されたBを活性化させるアニール処理を含んでいることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 前記表面チャネル層を形成する工程では、前記表面チャネル層をエピタキシャル成長によって形成すると共に、このエピタキシャル成長の際の温度によって前記Bを活性化させることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項4】 前記エピタキシャル成長は、成長初期には成長レートが低くなるように設定していることを特徴とする請求項3に記載の炭化珪素半導体装置の製造方法。

【請求項5】 前記犠牲酸化工程の前に、前記半導体層の表層部を反応性イオンエッチングすることにより、前記ベース領域のうちBの濃度が所定濃度となる部分を露出させる工程を含むことを特徴とする請求項1乃至4のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項6】 前記ベース領域形成工程の前に、前記半導体層の表面を酸化して酸化膜を形成する工程を含んでいることを特徴とする請求項1乃至5のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項7】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなるn型の半導体基板(1)と、
前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなるn型の半導体層(2)と、

前記半導体層の表層部の所定領域にBがドーピングされて形成され、所定深さを有するp型のベース領域(3)と、
前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅いn型のソース領域(4)と、
前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなるn型の表面チャネル層(5)と、
前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、
前記ゲート絶縁膜の上に形成されたゲート電極(8)と、
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、
前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、
前記半導体基板の厚み方向において前記Bの濃度が、前記表面チャネル層から前記ベース領域にかけては急な第1の傾斜で増加しており、前記ベース領域から前記半導体層にかけては前記第1の傾斜よりも緩やかな第2の傾斜で減少していることを特徴とする炭化珪素半導体装置。

【請求項8】 主表面及びこの主表面と反対面である裏面を有し、炭化珪素よりなるn型の半導体基板(1)と、
前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなるn型の半導体層(2)と、
前記半導体層の表層部の所定領域にBがドーピングされて形成され、所定深さを有するp型のベース領域(3)と、
前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅いn型のソース領域(4)と、
前記ベース領域の表層部及び前記半導体層とを繋ぐように形成された、炭化珪素よりなるn型の表面チャネル層(5)と、
前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、
前記ゲート絶縁膜の上に形成されたゲート電極(8)と、
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、
前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、
前記ベース領域と前記表面チャネル層の境界部近傍における前記ベース領域内の前記Bの濃度と前記表面チャネル層内の前記Bの濃度との差が、前記ベース領域と前記半導体層との境界部近傍における前記ベース領域内の前記Bの濃度と前記半導体層内の前記Bの濃度との差よりも大きくなっていることを特徴とする炭化珪素半導体装置。

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに適した炭化珪素半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、オン抵抗の低減を目的とした蓄積型パワーMOSFETが米国特許第5,681,762号明細書に提案されている。この蓄積型パワーMOSFETを図6に示す。この図に示されるパワーMOSFETは、p型ベース領域101とゲート電極102との間に低濃度のn⁻型薄膜層103を配置し、このn⁻型薄膜層103をチャネル形成領域としている。そして、p型ベース領域101側及びゲート電極102側からn⁻型薄膜層103内に空乏層が延びるようにし、これらの空乏層にてn⁻型薄膜層103に流れる電流量を制御することで、導電型を反転させる反転型パワーMOSFETに比してオン抵抗の低減を図っている。

【0003】このパワーMOSFETでは、p型ベース領域102の形成のためのB（ボロン）のイオン注入がn⁻型エピタキシャル層104の所定深さまで注入されるようにし、n⁻型エピタキシャル層104の表層部を残すことでn⁻型薄膜層103を形成している。

【0004】

【発明が解決しようとする課題】しかしながら、p型ベース領域101の形成のためのBのイオン注入が成された後に行う活性化アニール時に、Bがn⁻型薄膜層103を構成するn⁻型エピタキシャル層104の表層部に拡散し、n⁻型薄膜層103を構成する部分がp型に反転してしまい、反転型のパワーMOSFETになってしまうという問題がある。同時に耐圧も低下してしまうという問題がある。

【0005】本発明は上記問題に鑑みて成され、B（ボロン）の拡散によってn型のチャネル形成領域の導電型が反転してしまうことを防止し、確実に蓄積型モードで作動する炭化珪素半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1乃至6に記載の発明においては、単結晶炭化珪素よりなるn型の半導体基板（1）の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなるn型の半導体層（2）を形成する工程と、半導体層の表層部の所定領域にBをイオン注入して、p型のベース領域（3）を形成する工程と、ベース領域を含む半導体層を犠牲酸化したのち、この犠牲酸化によってできた酸化膜を除去する工程と、ベース領

域の上部にn型の表面チャネル層（5）を形成する工程と、ベース領域の表層部の所定領域に表面チャネル層に接すると共に、ベース領域の深さよりも浅い第1導電型のソース領域（4）を形成する工程と、表面チャネル層上にゲート絶縁膜（7）を介してゲート電極（8）を形成する工程と、ベース領域及びソース領域に接触するソース電極（10）を形成する工程と、半導体基板の裏面側にドレイン電極（11）を形成する工程と、を備えていることを特徴としている。

【0007】このように、p型のベース領域を含む半導体層を犠牲酸化する犠牲酸化工程を行えば、犠牲酸化工程によってB（ホウ素（ボロン））のイオン注入によってできたダメージを回復させることができ、ベース領域の表面の結晶性を良好なものにすることができる。このため、犠牲酸化工程を経たのちにベース領域の上部にn型の表面チャネル層を形成すれば、表面チャネル層内の結晶性も良好であるためベース領域の表面からのBの拡散を抑制でき、チャネル形成領域となる表面チャネル層の導電型が反転してしまうことを防止できる。これにより、確実に蓄積型モードで作動する炭化珪素半導体装置にできる。また、Bの濃度プロファイルを表層部からベース領域にかけて急峻なものにすることができる。

【0008】また、請求項2に記載のように、イオン注入したBを活性化アニールする場合、外方拡散（アウトディフュージョン）によりベース領域表面のB濃度が低下するが、犠牲酸化によりB濃度の低下した表層部を除去するので、このような場合でもBの濃度プロファイルを表層部からベース領域にかけて急峻なものにすることができる。

【0009】請求項3に記載の発明においては、表面チャネル層を形成する工程では、表面チャネル層をエピタキシャル成長によって形成すると共に、このエピタキシャル成長の際の温度によってBを活性化させることを特徴としている。このように、表面チャネル層を形成する際に行うエピタキシャル成長の温度でBを活性化させれば、Bの活性化アニールと表面チャネル層形成を兼用することができるため製造工程の簡略化を図ることができる。

【0010】なお、請求項4に示すように、表面チャネル層を形成するためのエピタキシャル成長を、成長初期には成長レートが低くなるように設定すれば、先にBの活性化を行ってから結晶性を回復させて表面チャネル層が形成されるようにできる。請求項5に記載の発明においては、犠牲酸化工程の前に、半導体層の表層部を反応性イオンエッチングすることにより、ベース領域のうちBの濃度が所定濃度となる部分を露出させる工程を含むことを特徴としている。

【0011】このように反応性イオンエッチングによってベース領域のうちBの濃度が所定濃度となる部分を露

出させれば、犠牲酸化工程のみによって所定濃度となる部分を表面に露出させるために酸化させる部分を少なくすることができるため、犠牲酸化工程の時間を短くすることができる。なお、反応性イオンエッチングによるダメージも犠牲酸化によって除去することができる。

【0012】請求項6に記載の発明においては、ベース領域形成工程の前に、半導体層の表面を酸化して酸化膜を形成する工程を含んでいることを特徴としている。このように、半導体層の表面を酸化して酸化膜を形成したのちにベース領域を形成すれば、Bのイオン注入が半導体層の表面の近傍まで行えるため、ベース領域上に残るBの濃度が小さい領域を少なくすることができる。これにより、犠牲酸化工程によって酸化させる部分を少なくことができ、犠牲酸化工程の時間を短くすることができる。

【0013】請求項7に記載の発明においては、半導体基板(1)の厚み方向においてBの濃度が、表面チャネル層(5)からベース領域(3)にかけては急な第1の傾斜で増加しており、ベース領域から半導体層(2)にかけては第1の傾斜よりも緩やかな第2の傾斜で減少していることを特徴としている。このように、半導体基板の厚み方向においてBの濃度が、表面チャネル層からベース領域にかけて急な第1の傾斜で増加するようにすることで、表面チャネル層とベース領域の境界部にBの不純物濃度が急激に変化したものにでき、確実に表面チャネル部をノーマリオフ型の装置にすることができる。

【0014】また、表面チャネルとベース領域の境界におけるBの濃度プロファイルが急峻にしているためノーマリオフ型の装置として表面チャネル層のオフ時に耐圧(ソース、ドレイン間耐圧)を向上させることができる。一方、半導体基板の厚み方向においてBの濃度が、ベース領域から半導体層にかけて第1の傾斜よりも緩やかな第2の傾斜で減少するようにすることで、ベース領域と半導体層との境界部のアバランシェブレークダウン耐圧を向上させることができる。

【0015】請求項8に記載の発明においては、ベース領域(3)と表面チャネル層(5)の境界部近傍におけるベース領域内のBの濃度と表面チャネル層内のBの濃度との差が、ベース領域と半導体層(2)との境界部近傍におけるベース領域内のBの濃度と半導体層内のBの濃度との差よりも大きくなっていることを特徴としており、請求項7と同様の効果を奏することができる。

【0016】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

【0017】図1に基づいて縦型パワーMOSFETの構造について説明する。炭化珪素からなるn⁺型半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。このn⁺型半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化珪素からなるn⁻型エピタキシャル層(以下、n⁻型エピ層という)2が積層されている。

【0018】n⁻型エピ層2の表層部における所定領域には、所定深さを有するp⁻型ベース領域3が形成されている。このp⁻型ベース領域3はBをドーパントとして形成されており、略 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度となっている。また、p⁻型ベース領域3の表層部の所定領域には、該ベース領域3よりも浅いn⁺型ソース領域4が形成されている。

【0019】さらに、n⁺型ソース領域4とn⁻型エピ層2とを繋ぐように、p⁻型ベース領域3の表面部にはn⁻型SiC層5が延設されている。このn⁻型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを有する。尚、このn⁻型SiC層5はデバイスの動作時にチャネル形成層として機能する。以下、n⁻型SiC層5を表面チャネル層という。

【0020】表面チャネル層5はN(窒素)をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、n⁻型エピ層2及びp⁻型ベース領域3のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。表面チャネル層5の上面およびn⁺型ソース領域4の上面には熱酸化にてゲート酸化膜7が形成されている。さらに、ゲート酸化膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10はn⁺型ソース領域4およびp⁻型ベース領域3と接している。また、n⁺型半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0021】次に、図1に示すMOSFETの製造工程を、図2～図4に基づいて説明する。

【図2(a)に示す工程】まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型半導体基板1を用意する。ここで、n⁺型半導体基板1はその厚さが $400 \mu\text{m}$ であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ $5 \mu\text{m}$ のn⁻型エピ層2をエピタキシャル成長する。本例では、n⁻型エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0022】【図2(b)に示す工程】n⁻型エピ層2の上の所定領域にLTO膜20を配置し、これをマスク

【0032】ここで、表面チャネル層5をp型ベース領域3を含むn⁻型エピ層2の表面に形成しているが、上記犠牲酸化工程によってp型ベース領域3を含むn⁻型エピ層2の表面の結晶性が回復されているため、この上の表面チャネル層5も結晶性が良くなるため、p型ベース領域3内のBが表面チャネル層5にあまり拡散しな

い。

【0033】すなわち、p型ベース領域3におけるBの拡散は、p型ベース領域3の欠陥が大きいことやp型ベース領域3に空孔があるとBがその空孔内に入り込むために発生するのであるが、p型ベース領域3を含むn⁻型エピ層2の表面の結晶性が回復されていれば、このような要因をなくすることができるため、Bの拡散が抑制されるのである。

【0034】本実施形態のように犠牲酸化工程を行った場合におけるBの拡散量を実験により確認した。この実験結果を図5に示す。この実験は、高濃度のp⁺型基板上に形成されたp⁻型エピタキシャル層にBをイオン注入したのち、Bを活性化させてp型ベース領域3を形成し、さらに上記犠牲酸化工程を施したのち表面チャネル層5をエピタキシャル成長させたものにおいて、表面チャネル層5からの深さとBの不純物濃度分布のSIMSプロファイル調べたものである。

【0035】なお、p⁺型基板及びp⁻型エピタキシャル層には、ドーパントとしてAl（アルミニウム）が用いられており、SiC内をほとんど拡散しないAlの濃度分布を見ることによって表面チャネル層5とp型ベース領域3との境界が区別できるようにしている。なお、Alは2次イオンの信号強度のみを測定して、定量化分析は行わなかった。

【0036】この図の点線に示されるAlの濃度分布を見てみると、深さAの位置でAlの濃度分布が急激に大きくなっており、この深さAの位置が表面チャネル層5とp型ベース領域3との境界であることが分かる。この位置を基準にして見てみると、深さAよりも浅い方は、Bの濃度が非常に低下しており、かつ略一定量となっている。そして、深さAにおいて急峻な傾き（大きな差）をもってBの濃度が増加している。具体的には、深さAを境界として深さAより浅い方は $1 \times 10^{15} \text{ cm}^{-3}$ 、深い方は $1 \times 10^{18} \text{ cm}^{-3}$ となっている。

【0037】この実験結果からも分かるように、p型ベース領域3内のBが表面チャネル層5にあまり拡散していない。このように、Bがほとんど含まれていないn型半導体で表面チャネル層5を構成することができ、表面チャネル層5がp型半導体に反転しないようにできる。また、上記ノーマリオフ型のMOSFETにするためには、表面チャネル層5とp型ベース領域3の不純物濃度が急激に変化したもの（abrupt junction）であることが要求されるが、上述したように、表面チャネル層5とp型ベース領域3の界面において、Bの濃度が急峻に変わっているため、好適にMOSFETをノーマリオフ型にすることができる。また、表面チャネル層5とベース領域3の境界におけるBの濃度プロファイルを急峻にしているため、ノーマリオフ型の装置として、表面チャネル層5のオフ時耐圧（ソース、ドレイン間耐圧）を向上させることができる。

【0038】これはノーマリオフとすることでソース、ドレイン間エネルギー障壁を作るものであり、このエネルギー障壁はPN接合の空乏層の延びに依存し、またPN接合の空乏層の伸びもBの濃度プロファイルに依存し、Bの濃度プロファイルが急峻なほどエネルギー障壁を高くすることができ、その結果パンチスルー耐圧を高くすることができる。

【0039】さらに、図5を見てみると、深さAよりも深い位置において、深さAにおけるBの濃度の変化よりも緩やかな傾斜（小さな差）をもってBの濃度が低下していることが分かる。このBの濃度が低下した領域は、p型ベース領域3の底面とn⁻型エピ層2との境界部3aに位置している。この境界部3aにおけるBの濃度が緩やかに低下していることから、p型ベース領域3の底面とn⁻型エピ層2によって形成されるPN接合に延びる空乏層を大きくすることができ、アバランシェブレークダウンが発生する電圧、すなわちアバランシェブレークダウン耐圧を高くすることができる。

【0040】〔図3（b）に示す工程〕次に、表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN（窒素）等のn型不純物をイオン注入し、n⁺型ソース領域4を形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0041】〔図3（c）に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp⁻型ベース領域3上の表面チャネル層5を部分的にエッチング除去する。

〔図4（a）に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化（ $\text{H}_2 + \text{O}_2$ によるパイロジェニック法を含む）によりゲート酸化膜7を形成する。このとき、雰囲気温度は1080℃とする。

【0042】その後、ゲート絶縁膜7の上にポリシリコンからなるゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

〔図4（b）に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

【0043】〔図4（c）に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。このように完成した縦型パワーMOSFETの作用（動作）を説明する。

【0044】本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極8に電圧を印加しない場合は、表面チャネル層5においてキャリアは、p型ベース領域3と表面チャネル層5との間の静電

ポテンシャルの差、及び表面チャネル層5とゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。そして、ゲート電極8に電圧を印加することにより、表面チャネル層5とゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0045】つまり、ゲート電極8の仕事関数を第1の仕事関数とし、p型ベース領域3の仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5のn型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0046】また、オフ状態において、空乏領域は、p型ベース領域3及びゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面においてn⁺型ソース領域4からn⁻型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、n⁺型ソース領域4から表面チャネル層5を経由し表面チャネル層5からn⁻型エビ層2に流れる。そして、n⁻型エビ層2(ドリフト領域)に達すると、電子は、n⁺型半導体基板1(n⁺ドレイン)へ垂直に流れる。

【0047】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。

(第2実施形態) 上記第1実施形態では、RIEによるエッチング工程を実施しているが、これはRIEによってn⁻型エビ層2の表層部の厚みを薄くすることによって犠牲酸化工程の処理時間を短縮化するためであり、RIEによるエッチング工程をなくしても上記効果を得ることは可能である。

【0048】(第3実施形態) 上記第1実施形態では、Bを活性化させるためのアニール処理を行ったが、表面チャネル層5を形成する時のエピタキシャル成長の際にアニール処理を兼ねてもよい。つまり、エピタキシャル成長は高温下で行われるため、このエピタキシャル成長の温度でアニール処理を兼用するのである。

【0049】但し、この場合においても、表面チャネル層5を形成する前に犠牲酸化工程を実施しておく必要が

あり、このような犠牲酸化工程を施しておけば、p型ベース領域3の表面の結晶性を回復できるため、エピタキシャル成長の際にp型ベース領域3内のBが表面チャネル層5に拡散することを抑制することができる。

(他の実施形態) なお、上記実施形態では、犠牲酸化工程によってp型ベース領域3の表面の結晶性を回復させているが、犠牲酸化工程に代えてアニール処理(例えば、短時間熱処理(RTA: Rapid thermal anneal))を施してもよい。条件としては、例えば不活性ガス中でハロゲンランプを用い、1600℃、1分の熱処理を行う。この短時間熱処理は、Bをイオン注入した後の活性化アニールを兼ねるものであり、これによりp型ベース領域3の表面の結晶性を回復させると同時に、短時間の熱処理であるため、Bの外方拡散(アウトディフュージョン)を防止して、n⁻型エビ層2との間に急峻なBの濃度プロファイルを形成できる。

【0050】また、p型ベース領域3を形成するためのBのイオン注入工程は、n⁻型エビ層2の表面を酸化させた後に行ってもよい。このようにシリコン酸化膜を形成した後にイオン注入を行えば、n⁻型エビ層2の最も表面側までBの濃度を高濃度にすることができ、高濃度層を表面に露出させるために犠牲酸化しなければならないp型ベース領域3の上のn⁻型エビ層2を少なくすることができると共に、イオン注入によるn⁻型エビ層2のダメージを均一にすることができる。

【図面の簡単な説明】

【図1】本発明にかかわるプレーナ型パワーMOSFETを示す断面図である。

【図2】図1に示すプレーナ型パワーMOSFETの製造工程を示す図である。

【図3】図2に続くプレーナ型パワーMOSFETの製造工程を示す図である。

【図4】図3に続くプレーナ型パワーMOSFETの製造工程を示す図である。

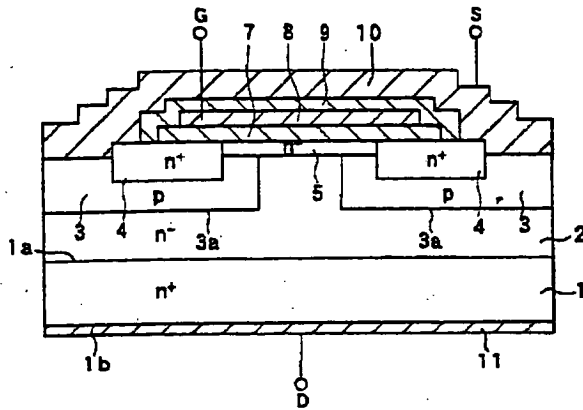
【図5】Bの拡散をSIMS解析した実験結果を示す図である。

【図6】従来のプレーナ型パワーMOSFETを示す断面図である。

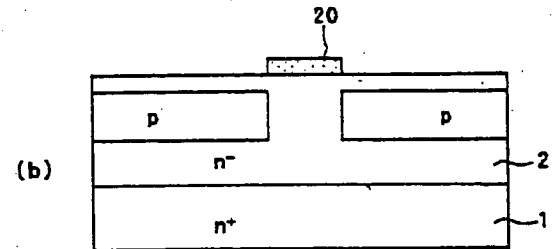
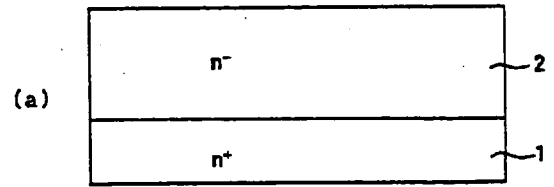
【符号の説明】

1…n⁺型の半導体基板、2…n⁻型エビ層、3…p型ベース領域、4…n⁺型ソース領域、5…表面チャネル層、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…ソース電極、11…ドレイン電極。

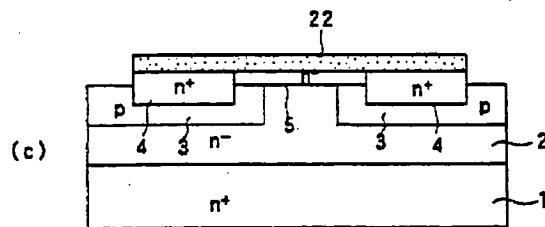
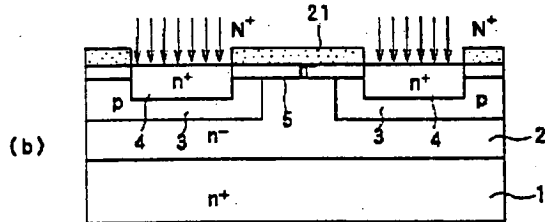
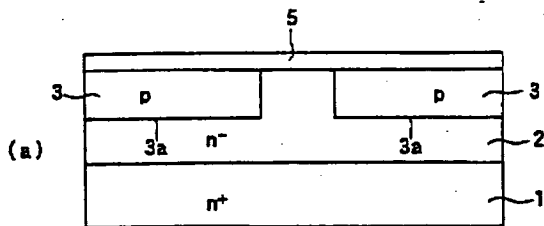
【図1】



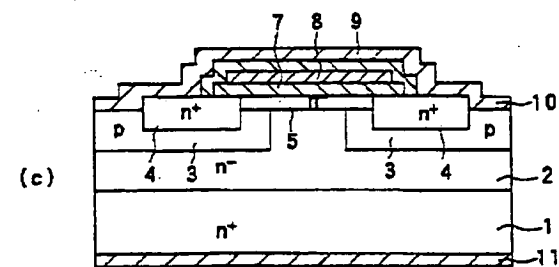
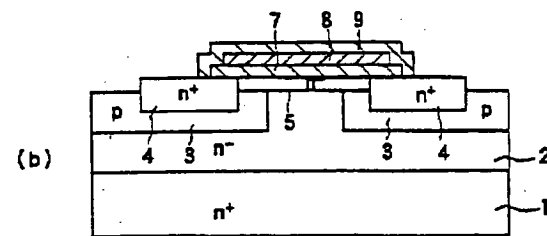
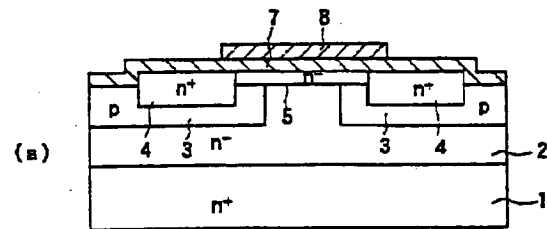
【図2】



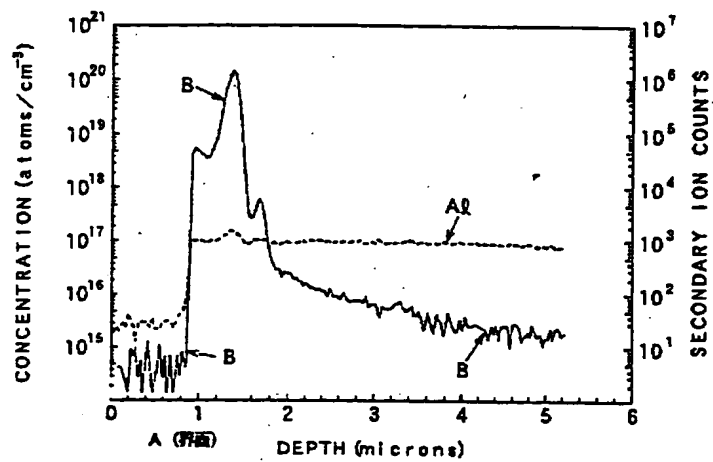
【図3】



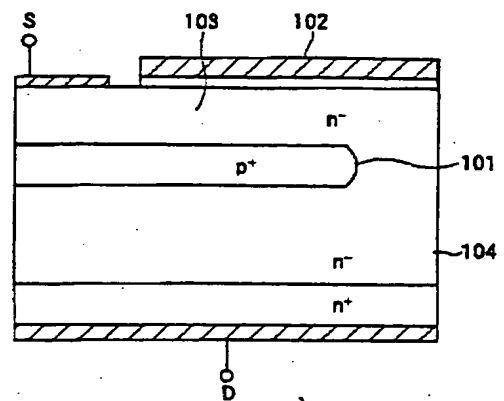
【図4】



【図5】



【図6】



フロントページに続き

(72)発明者 伊藤 忠
愛知県愛知郡長久町大字長湫字横道41番地
の1 株式会社豊田中央研究所内

(72)発明者 東 博純
愛知県愛知郡長久町大字長湫字横道41番地
の1 株式会社豊田中央研究所内

